

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

#3  
J1000 U.S. PTO  
09/972955  
10/10/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月 7日

出 願 番 号

Application Number:

特願2001-172363

出 願 人

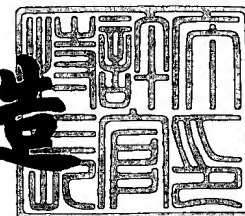
Applicant(s):

三菱電機株式会社

2001年 6月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3058241

【書類名】 特許願

【整理番号】 530753JP01

【提出日】 平成13年 6月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

H01L 21/66

H01L 21/82

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 金谷 康

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 茶木 伸

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波半導体集積回路

【特許請求の範囲】

【請求項 1】 能動素子と第 1 のパッドとを含む主回路と、  
受動素子から成る回路ブロックと、  
前記回路ブロックに接続された第 2 のパッドと、  
前記第 1 のパッドを前記第 2 のパッドに接続するためのワイヤとを備える高周波半導体集積回路。

【請求項 2】 前記主回路は、入力端子と出力端子との間に前記能動素子および前記第 1 のパッドを含む、請求項 1 に記載の高周波半導体集積回路。

【請求項 3】 前記回路ブロックは、前記入力端子から入力される入力信号の周波数が高くなるに従ってインピーダンスが小さくなる受動素子を含む、請求項 2 に記載の高周波半導体集積回路。

【請求項 4】 前記回路ブロックは、前記第 2 のパッドに接続された配線を含み、

前記ワイヤの長さと同記配線の長さとの和は、前記入力端子から入力される高周波信号の波長の 4 分の 1 に等しい、請求項 2 に記載の高周波半導体集積回路。

【請求項 5】 能動素子と主パッドとを含む主回路と、  
各々が受動素子から成る複数の回路ブロックと、  
前記複数の回路ブロックに対応して設けられた複数の接続用パッドと、  
前記主パッドを前記複数の接続用パッドのいずれかに接続するためのワイヤとを備える高周波半導体集積回路。

【請求項 6】 前記主回路は、入力端子と出力端子との間に前記能動素子および前記主パッドを含む、請求項 5 に記載の高周波半導体集積回路。

【請求項 7】 前記複数の回路ブロックは、  
前記主回路のインピーダンスを第 1 のインピーダンスに調整するための第 1 の回路ブロックと、

前記主回路のインピーダンスを第 2 のインピーダンスに調整するための第 2 の回路ブロックと、

前記主回路のインピーダンスを第 3 のインピーダンスに調整するための第 3 の回路ブロックとから成る、請求項 6 に記載の高周波半導体集積回路。

【請求項 8】 前記第 1 の回路ブロックは、一方端が接地ノードに接続され、他方端が第 1 の接続用パッドに接続された第 1 の容量を有する第 1 のキャパシタから成り、

前記第 2 の回路ブロックは、一方端が接地ノードに接続され、他方端が第 2 の接続用パッドに接続された第 2 の容量を有する第 2 のキャパシタから成り、

前記第 3 の回路ブロックは、一方端が接地ノードに接続され、他方端が第 3 の接続用パッドに接続された第 3 の容量を有する第 3 のキャパシタから成る、請求項 7 に記載の高周波半導体集積回路。

【請求項 9】 第 1 の高周波半導体集積回路と、

第 2 の高周波半導体集積回路と、

前記第 1 の高周波半導体集積回路を前記第 2 の高周波半導体集積回路に接続するための主ワイヤとを備える高周波半導体集積回路。

【請求項 10】 前記第 1 の高周波半導体集積回路は、能動素子を有する主回路と受動素子を有する回路ブロックとを含み、

前記第 2 の高周波半導体集積回路は、能動素子を有する主回路のみを含む、請求項 9 に記載の高周波半導体集積回路。

【請求項 11】 前記第 2 の高周波半導体集積回路は、

第 1 の能動素子と第 1 のパッドとを有する第 1 の主回路を含み、

前記第 1 の高周波半導体集積回路は、

受動素子を有する回路ブロックと、

前記回路ブロックに接続された第 2 のパッドと、

前記第 1 のパッドおよび前記第 2 のパッドと接続するための第 3 のパッドと第 2 の能動素子とを有する第 2 の主回路と、

前記第 2 のパッドを前記第 3 のパッドに接続するためのワイヤとを含み、

前記主ワイヤは、前記第 1 のパッドを前記第 3 のパッドに接続する、請求項 10 に記載の高周波半導体集積回路。

【請求項 12】 前記第 1 の主回路は、

一方端が前記第 1 のパッドに接続され、他方端が前記能動素子に接続された配線と、

前記能動素子が接続された出力端子とをさらに含み、

前記第 2 の主回路は、

一方端が前記第 3 のパッドに接続され、他方端が前記能動素子に接続された配線と、

前記能動素子が接続された入力端子とをさらに含む、請求項 1 1 に記載の高周波半導体集積回路。

【請求項 1 3】 前記回路ブロックは、前記第 1 の主回路のインピーダンスと前記第 2 の主回路のインピーダンスとの整合を取るための受動素子を含む、請求項 1 2 に記載の高周波半導体集積回路。

【請求項 1 4】 前記第 1 の高周波半導体集積回路は、能動素子を有する主回路のみを含み、

前記第 2 の高周波半導体集積回路は、受動素子を有する回路ブロックのみを含む、請求項 9 に記載の高周波半導体集積回路。

【請求項 1 5】 前記第 1 の高周波半導体集積回路は、  
能動素子と主パッドとを有する主回路を含み、  
前記第 2 の高周波半導体集積回路は、  
各々が受動素子を有する複数の回路ブロックと、  
前記複数の回路ブロックに対応して設けられた複数の接続用パッドとを含み、  
前記主ワイヤは、前記主パッドを前記複数の接続用パッドのいずれかに接続する、請求項 1 4 に記載の高周波半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、性能または用途に応じて複数の回路の組合わせを変更し、良好な高周波特性を実現する高周波半導体集積回路に関するものである。

【0 0 0 2】

【従来の技術】

図 2 2 を参照して、従来の高周波半導体集積回路 6 0 0 は、主回路 6 1 0 と回路ブロック 6 2 0 とを備える。

【0003】

主回路 6 1 0 は、入力端子 6 1 0 1 と、トランジスタ 6 1 0 2 と、伝送線路 6 1 0 3, 6 1 0 4 と、出力端子 6 1 0 5 とを含む。トランジスタ 6 1 0 2 は、ゲート端子が入力端子 6 1 0 1 に接続され、ソース端子が接地ノード 7 に接続され、ドレイン端子が伝送線路 6 1 0 3 に接続される。トランジスタ 6 1 0 2 は、具体的には、MOS トランジスタ等の電界効果型トランジスタ、および GaAs を用いた MES FET (Metal Semiconductor Field Effect Transistor), HEMT (High Electron Mobility Transistor), HBT (Heterojunction Bipolar Transistor) から成る。

【0004】

伝送線路 6 1 0 3, 6 1 0 4 は、トランジスタ 6 1 0 2 のドレイン端子と出力端子 6 1 0 5 との間に直列に接続される。また、伝送線路 6 1 0 3, 6 1 0 4 は、所定の長さおよび所定の幅を有する配線であり、高周波半導体集積回路 6 0 0 の作製時にパターニングによって形成される。

【0005】

回路ブロック 6 2 0 は、受動回路 6 2 0 1, 6 2 0 2 およびキャパシタ 6 2 0 3 を含む。受動回路 6 2 0 1, 6 2 0 2 およびキャパシタ 6 2 0 3 は、主回路 6 1 0 のノード 6 1 0 6 と接地ノード 7 との間に直列に接続される。受動回路 6 2 0 1, 6 2 0 2 は、たとえば、受動素子である抵抗、コイル、およびキャパシタを直列または並列に接続した回路から成る。つまり、受動回路 6 2 0 1, 6 2 0 2 は、主回路 6 1 0 において、入力端子 6 1 0 1 から入力された入力信号を出力端子 6 1 0 5 から出力するときに、キャパシタ 6 2 0 3 も含めて出力整合、効率整合、利得整合、および歪整合が取れるように抵抗、コイルおよびキャパシタを適宜組合わせて構成した回路を含む。

【0006】

主回路 6 1 0 は、マイクロ波またはミリ波の範囲の周波数を有する入力信号を

入力端子 6 1 0 1 から受け、その受けた入力信号をトランジスタ 6 1 0 2、および伝送線路 6 1 0 3、6 1 0 4 を介して出力端子 6 1 0 5 から出力する。

【0 0 0 7】

そして、回路ブロック 6 2 0 の受動回路 6 2 0 1、6 2 0 2 が出力整合を取るように最適化された受動素子によって構成されているとき、主回路 6 1 0 は、入力端子 6 1 0 1 から入力された入力信号を、出力整合を取って出力端子 6 1 0 5 から出力する。また、回路ブロック 6 2 0 の受動回路 6 2 0 1、6 2 0 2 が効率整合を取るように最適化された受動素子によって構成されているとき、主回路 6 1 0 は、入力端子 6 1 0 1 から入力された入力信号を、効率整合を取って出力端子 6 1 0 5 から出力する。

【0 0 0 8】

【発明が解決しようとする課題】

しかし、従来の高周波半導体集積回路 6 0 0 においては、回路ブロック 6 2 0 は、主回路 6 1 0 のノード 6 1 0 6 に接続されているため、主回路 6 1 0 のみを使用したいとき、または、異なる性能を有する高周波半導体集積回路が要求されるとき、別々の回路パターンを作製しなければならないという問題が生じる。すなわち、出力整合を取るように最適化された受動素子から成る受動回路 6 2 0 1、6 2 0 2 を回路ブロック 6 2 0 に作製すれば、主回路 6 1 0 のみを使用することができず、また、高周波半導体集積回路 6 0 0 を、効率整合を取るための高周波半導体集積回路に変更することはできない。

【0 0 0 9】

また、一度、半導体基板上に回路パターンを作製すると、能動素子の性能がばらついた場合、回路ブロックを調整することができず、高周波半導体集積回路の歩留まりが低下するという問題も生じる。

【0 0 1 0】

そこで、本発明は、かかる問題を解決するためになされたものであり、その目的は、各種の性能、および用途を実現可能な高周波半導体集積回路を提供することである。

【0 0 1 1】



また、本発明の別の目的は、高周波特性を良好にするための回路調整が可能な高周波半導体集積回路を提供することである。

## 【 0 0 1 2 】

## 【課題を解決するための手段】

この発明によれば、高周波半導体集積回路は、能動素子と第 1 のパッドとを含む主回路と、受動素子から成る回路ブロックと、回路ブロックに接続された第 2 のパッドと、第 1 のパッドを前記第 2 のパッドに接続するためのワイヤとを備える。

## 【 0 0 1 3 】

好ましくは、主回路は、入力端子と出力端子との間に能動素子および第 1 のパッドを含む。

## 【 0 0 1 4 】

好ましくは、回路ブロックは、入力端子から入力される入力信号の周波数が高くなるに従ってインピーダンスが小さくなる受動素子を含む。

## 【 0 0 1 5 】

好ましくは、回路ブロックは、第 2 のパッドに接続された配線を含み、ワイヤの長さ、配線の長さとの和は、入力端子から入力される高周波信号の波長の 4 分の 1 に等しい。

## 【 0 0 1 6 】

また、この発明によれば、高周波半導体集積回路は、能動素子と主パッドとを含む主回路と、各々が受動素子から成る複数の回路ブロックと、複数の回路ブロックに対応して設けられた複数の接続用パッドと、主パッドを複数の接続用パッドのいずれかに接続するためのワイヤとを備える。

## 【 0 0 1 7 】

好ましくは、主回路は、入力端子と出力端子との間に能動素子および主パッドを含む。

## 【 0 0 1 8 】

好ましくは、複数の回路ブロックは、主回路のインピーダンスを第 1 のインピーダンスに調整するための第 1 の回路ブロックと、主回路のインピーダンスを第

2のインピーダンスに調整するための第2の回路ブロックと、主回路のインピーダンスを第3のインピーダンスに調整するための第3の回路ブロックとから成る。

【0019】

好ましくは、第1の回路ブロックは、一方端が接地ノードに接続され、他方端が第1の接続用パッドに接続された第1の容量を有する第1のキャパシタから成り、第2の回路ブロックは、一方端が接地ノードに接続され、他方端が第2の接続用パッドに接続された第2の容量を有する第2のキャパシタから成り、第3の回路ブロックは、一方端が接地ノードに接続され、他方端が第3の接続用パッドに接続された第3の容量を有する第3のキャパシタから成る。

【0020】

また、この発明によれば、高周波半導体集積回路は、第1の高周波半導体集積回路と、第2の高周波半導体集積回路と、第1の高周波半導体集積回路を第2の高周波半導体集積回路に接続するための主ワイヤとを備える。

【0021】

好ましくは、第1の高周波半導体集積回路は、能動素子を有する主回路と受動素子を有する回路ブロックとを含み、第2の高周波半導体集積回路は、能動素子を有する主回路のみを含む。

【0022】

好ましくは、第2の高周波半導体集積回路は、第1の能動素子と第1のパッドとを有する第1の主回路を含み、第1の高周波半導体集積回路は、受動素子を有する回路ブロックと、回路ブロックに接続された第2のパッドと、第1のパッドおよび第2のパッドと接続するための第3のパッドと第2の能動素子とを有する第2の主回路と、第2のパッドを第3のパッドに接続するためのワイヤとを含み、主ワイヤは、第1のパッドを第3のパッドに接続する。

【0023】

好ましくは、第1の主回路は、一方端が第1のパッドに接続され、他方端が能動素子に接続された配線と、能動素子が接続された出力端子とをさらに含み、第2の主回路は、一方端が第3のパッドに接続され、他方端が能動素子に接続され

た配線と、能動素子が接続された入力端子とをさらに含む。

【0024】

好ましくは、回路ブロックは、第1の主回路のインピーダンスと第2の主回路のインピーダンスとの整合を取るための受動素子を含む。

【0025】

好ましくは、第1の高周波半導体集積回路は、能動素子を有する主回路のみを含み、第2の高周波半導体集積回路は、受動素子を有する回路ブロックのみを含む。

【0026】

好ましくは、第1の高周波半導体集積回路は、能動素子と主パッドとを有する主回路を含み、第2の高周波半導体集積回路は、各々が受動素子を有する複数の回路ブロックと、複数の回路ブロックに対応して設けられた複数の接続用パッドとを含み、主ワイヤは、主パッドを前記複数の接続用パッドのいずれかに接続する。

【0027】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0028】

〔実施の形態1〕

図1を参照して、実施の形態1による高周波半導体集積回路100は、主回路10と、回路ブロック20と、パッド30と、ワイヤ40とを備える。主回路10、回路ブロック20、およびパッド30は、1つの半導体基板上に作製される。

【0029】

主回路10は、入力端子1と、トランジスタ2と、伝送線路3、5と、パッド4と、出力端子6とを含む。トランジスタ2は、ゲート端子が入力端子1に接続され、ソース端子が接地ノード7に接続され、ドレイン端子が伝送線路3に接続される。伝送線路3は、トランジスタ2のドレイン端子とパッド4との間に配置

される。伝送線路 5 は、パッド 4 と出力端子との間に配置される。

#### 【0030】

回路ブロック 20 は、受動回路 21 とキャパシタ 22 とを含む。受動回路 21 およびキャパシタ 22 は、パッド 30 と接地ノード 7 との間に直列に接続される。パッド 30 は、回路ブロック 20 の近くに配置される。ワイヤ 40 は、パッド 30 を主回路 10 に含まれるパッド 4 に接続する。したがって、回路ブロック 20 は、主回路 10 の入力端子 1 から出力端子 6 までの回路に対して並列に接続される。

#### 【0031】

図 2 を参照して、伝送線路 3, 5 は、金 (Au) から成る配線 31 によって構成される。配線 31 は、長さ  $L_1$  および幅  $W_1$  を有する。したがって、伝送線路 3, 5 は、入力信号の周波数に対して並列共振点を有するインピーダンス特性を有する。

#### 【0032】

図 3 を参照して、受動回路 21 は、たとえば、コイル 210 とキャパシタ 211 とから成る。コイル 210 およびキャパシタ 211 は、並列に接続される。したがって、回路ブロック 20 は、入力信号の周波数に対して、1 つの直列共振点と 1 つの並列共振点とを有し、最終的に零に近づくインピーダンス特性を有する。キャパシタ 22 の容量を  $C_1$  [F]、キャパシタ 211 の容量を  $C_2$  [F]、入力信号の周波数を  $f$  [Hz] としたとき、キャパシタ 22 のインピーダンスは  $1 / (2 \pi f C_1)$  によって決定され、キャパシタ 211 のインピーダンスは  $1 / (2 \pi f C_2)$  によって決定されるため、周波数  $f$  が高周波になるに従ってキャパシタ 22, 211 のインピーダンスは零に近づく。したがって、回路ブロック 20 は、入力信号の周波数が高周波になるとインピーダンスが零に近づく。なお、入力信号の周波数  $f$  は、マイクロ波またはミリ波の範囲である。

#### 【0033】

上述したように、主回路 10 は能動素子を含む回路であり、回路ブロック 20 は、受動素子から成る回路である。

#### 【0034】

再び、図 1 を参照して、主回路 1 0 においては、入力端子 1 から入力された入力信号は、トランジスタ 2 および伝送線路 3 を介してパッド 4 まで伝送される。そして、パッド 4 は、入力信号を伝送線路 5 およびワイヤ 4 0 へ伝達する。伝送線路 5 へ出力された入力信号は伝送線路 5 を伝送して出力端子 6 から出力される。

## 【 0 0 3 5 】

一方、ワイヤ 4 0 へ伝達された入力信号は、ワイヤ 4 0 を伝送し、パッド 3 0 を介して回路ブロック 2 0 へ入力される。この場合、ワイヤ 4 0 は、コイルとキャパシタとの並列回路が複数段接続された等価回路として入力信号に対して機能する。したがって、入力信号の周波数が高いときワイヤ 4 0 のインピーダンスが零に近づく。その結果、パッド 4 から見たワイヤ 4 0 および回路ブロック 2 0 はオープン状態に近づき、入力端子 1 から入力された入力信号は、伝送漏れを少なくして主回路 1 0 中を伝送され、出力端子 6 から出力される。この場合、主回路 1 0 は、入力信号の周波数以外の周波数を有する信号を出力しない。

## 【 0 0 3 6 】

図 4 を参照して、回路ブロック 2 0 は、配線 2 2 0 によって構成されていてもよい。配線 2 2 0 は、回路ブロック 2 0 を作製するときに形成され、長さ  $L_2$ 、および幅  $W_2$  を有する。この場合、ワイヤ 4 0 の長さを  $L_w$ 、入力信号の波長を  $\lambda$  とすると、 $\lambda/4 = L_w + L_2$  となるようにワイヤ 4 0 の長さ  $L_w$  および配線 2 2 0 の長さ  $L_2$  が決定される。 $\lambda/4 = L_w + L_2$  が成り立つとき、パッド 4 からワイヤ 4 0 およびパッド 3 0 を介して配線 2 2 0 に伝達される入力信号は、配線 2 2 0 の一方端 2 2 1 において振幅が零になる。つまり、ワイヤ 4 0 および配線 2 2 0 から成る回路は、ショートした回路になる。したがって、パッド 4 から見たワイヤ 4 0 および回路ブロック 2 0 はオープン状態になり、入力端子 1 から入力された入力信号は、伝送漏れを少なくして主回路 1 0 中を伝送され、出力端子 6 から出力される。この場合、主回路 1 0 は、入力信号の周波数以外の周波数を有する信号を出力しない。

## 【 0 0 3 7 】

上述したように、回路ブロック 2 0 として図 3 に示す受動回路 2 1 とキャパシ

タ 2 2 とを直列に接続した回路を用いたとき、または図 4 に示す配線 2 2 0 を用いたとき、入力信号の伝送漏れを防止して主回路 1 0 中を伝送可能な高周波半導体集積回路 1 0 0 を作製できる。そして、高周波半導体集積回路 1 0 0 の主回路 1 0 のみを使用したいときは、ワイヤ 4 0 を切断すればよく、主回路 1 0 のみから成る高周波半導体集積回路を別途、作製する必要がない。このように、回路ブロック 2 0 をワイヤ 4 0 を用いて主回路 1 0 に接続することによって入力信号の伝送漏れを防止して入力信号を伝送可能な高周波半導体集積回路として機能させるとともに、主回路 1 0 のみから成る高周波半導体集積回路としても機能させることができる。そして、本発明においては、上述したようにワイヤ 4 0 を高周波の入力信号を伝送する 1 つの回路として機能させることを特徴とする。

## 【 0 0 3 8 】

実施の形態 1 によれば、高周波半導体集積回路は、ワイヤによって接続された主回路と回路ブロックとを備えるので、ワイヤによる接続の有無によって複数の性能を有する高周波半導体集積回路を実現できる。

## 【 0 0 3 9 】

## 〔実施の形態 2〕

図 5 を参照して、実施の形態 2 による高周波半導体集積回路 2 0 0 は、主回路 1 0 と、ワイヤ 4 0 と、回路ブロック 5 0、6 0、7 0 と、パッド 5 5、6 5、7 5 とを備える。主回路 1 0 については、上述したとおりである。パッド 5 5、6 5、7 5 は、それぞれ、回路ブロック 5 0、6 0、7 0 に対応して設けられる。ワイヤ 4 0 は、主回路 1 0 に含まれるパッド 4 をパッド 5 5、6 5、7 5 のいずれかに接続する。

## 【 0 0 4 0 】

図 6 を参照して、回路ブロック 5 0 はキャパシタ 5 1 を含む。キャパシタ 5 1 の一方の電極は接地ノード 7 に接続され、他方の電極はパッド 5 5 に接続される。キャパシタ 5 1 は、容量  $C_3$  [F] を有する。

## 【 0 0 4 1 】

図 7 を参照して、回路ブロック 6 0 は、キャパシタ 6 1 を含む。キャパシタ 6 1 の一方の電極は接地ノード 7 に接続され、他方の電極はパッド 6 5 に接続され

る。キャパシタ 6 1 は、容量  $C_4$  [F] を有する。

【0 0 4 2】

図 8 を参照して、回路ブロック 7 0 は、キャパシタ 7 1 を含む。キャパシタ 7 1 の一方の電極は接地ノード 7 に接続され、他方の電極はパッド 7 5 に接続される。キャパシタ 7 1 は、容量  $C_5$  [F] を有する。

【0 0 4 3】

再び、図 5 を参照して、ワイヤ 4 0 は、上述したようにコイルとキャパシタとの並列回路を複数段接続した等価回路として入力信号に対して機能するので、ワイヤ 4 0 を、それぞれ、パッド 5 5, 6 5, 7 5 に接続することによって異なる性能を有する高周波半導体集積回路を実現できる。トランジスタの出力インピーダンスが図 9 に示すインピーダンスを有するとき、ワイヤ 4 0 によって主回路 1 0 のパッド 4 にパッド 5 5 を接続することによって図 1 0 に示すインピーダンスを有する高周波半導体集積回路を実現できる。この場合、回路ブロック 5 0 に含まれるキャパシタ 5 1 の容量  $C_3$  は、ワイヤ 4 0 および回路ブロック 5 0 によるリアクタンスが零になるように決定される。つまり、ワイヤ 4 0 および回路ブロック 5 0 によるインピーダンスが図 1 0 に示すスミスチャートにおいて実軸上に位置するようにキャパシタ 5 1 の容量  $C_3$  が決定される。そして、ワイヤ 4 0 によって主回路 1 0 に回路ブロック 5 0 を接続し、インピーダンス変換器から成る他の回路ブロックをパッド 4 から出力端子 6 側に配置することにより高周波半導体集積回路 2 0 0 を、利得整合を取った高周波半導体集積回路として機能させることができる。

【0 0 4 4】

また、ワイヤ 4 0 によって主回路 1 0 に回路ブロック 6 0 を接続することによって図 1 1 に示すスミスチャートにおいて A 点のインピーダンスを有する高周波半導体集積回路を実現できる。この場合、回路ブロック 6 0 に含まれるキャパシタ 6 1 の容量  $C_4$  は、ワイヤ 4 0 および回路ブロック 6 0 によるインピーダンスが実軸よりも上側の A 点に来るように決定される。

【0 0 4 5】

さらに、ワイヤ 4 0 によって主回路 1 0 に回路ブロック 7 0 を接続することに

よって図 1 1 に示すスミスチャートにおいて B 点のインピーダンスを有する高周波半導体集積回路を実現できる。この場合、回路ブロック 7 0 に含まれるキャパシタ 7 1 の容量 C 5 は、ワイヤ 4 0 および回路ブロック 7 0 によるインピーダンスが実軸よりも上側の B 点に来るように決定される。

## 【 0 0 4 6 】

図 1 0 に示すスミスチャート上の円は、等出力円を示すものであり、回路ブロック 5 0 に含まれるキャパシタ 5 1 の容量 C 3 を変化させることによって得られる。したがって、回路ブロック 5 0 に含まれるキャパシタ 5 1 の容量 C 3 を変化させることによってインピーダンスが図 1 0 に示す等出力円上を移動する高周波半導体集積回路を実現できる。また、図 1 1 に示すスミスチャート上の円は、等効率円を示すものであり、回路ブロック 6 0, 7 0 に含まれるキャパシタ 6 1, 7 1 の容量 C 4, C 5 を変化させることによって得られる。したがって、回路ブロック 6 0, 7 0 に含まれるキャパシタ 6 1, 7 1 の容量 C 4, C 5 を変化させることによってインピーダンスが図 1 1 に示す等効率円上を移動する高周波半導体集積回路を実現できる。

## 【 0 0 4 7 】

上述したように、主回路 1 0 は、能動素子を含む回路であり、回路ブロック 5 0, 6 0, 7 0 は、受動素子から成る回路である。

## 【 0 0 4 8 】

高周波半導体集積回路 2 0 0 においても、ワイヤ 4 0 を切断することによって主回路 1 0 のみから成る高周波半導体集積回路として機能させることができるとともに、回路ブロック 5 0, 6 0, 7 0 を主回路 1 0 に接続することによって上述した各種の性能を有する高周波半導体集積回路として機能させることができる。

## 【 0 0 4 9 】

上記においては、回路ブロック 5 0, 6 0, 7 0 は、1 つのキャパシタを含むとして説明したが、回路ブロック 5 0, 6 0, 7 0 は、複数のキャパシタを含み、その複数のキャパシタのいずれかを選択できるようにしてもよい。これによって、主回路 1 0 に含まれる能動素子（トランジスタ）の特性がばらついたとき、



回路ブロック 50, 60, 70 に含まれるキャパシタを選択することによって能動素子の特性のばらつきを調整できる。この場合、トランジスタとしては、MOS トランジスタ等の電界効果型トランジスタ、および GaAs を用いた MESFET, HEMT, HBT が想定される。

【0050】

また、回路ブロックは、トランジスタの出力側だけではなく、入力側および入力側と出力側の両側に配置されてもよい。

【0051】

また、上記においては、主回路 10 には、1 つの回路ブロックをワイヤ 40 によって接続するとして説明したが、回路ブロックを複数選択して直列または並列に接続してもよい。

【0052】

実施の形態 2 によれば、高周波半導体集積回路は、主回路と、ワイヤによって主回路に接続可能な複数の回路ブロックとを備えるので、ワイヤによって主回路に接続する回路ブロックを選択することにより複数の性能を実現可能な高周波半導体集積回路を作製することができる。

【0053】

[実施の形態 3]

図 12 を参照して、実施の形態 3 による高周波半導体集積回路 300 は、高周波半導体集積回路 310 と、高周波半導体集積回路 320 と、ワイヤ 330 とを備える。

【0054】

高周波半導体集積回路 310 は、主回路 301 と、回路ブロック 302 と、パッド 303 と、ワイヤ 304 とを含む。主回路 301 は、入力端子 3010 と、トランジスタ 3011 と、伝送線路 3012 と、パッド 3013 とから成る。トランジスタ 3011 は、ゲート端子が入力端子 3010 に接続され、ソース端子が接地ノード 7 に接続され、ドレイン端子が伝送線路 3012 に接続される。伝送線路 3012 は、トランジスタ 3011 のドレイン端子とパッド 3013 との間に接続される。

## 【0055】

パッド303は、回路ブロック302の近くに設けられる。ワイヤ304は、パッド303を主回路301のパッド3013に接続することによって回路ブロック302を主回路301に接続する。

## 【0056】

高周波半導体集積回路320は、パッド3200と、伝送線路3201と、トランジスタ3202と、出力端子3203とを含む。伝送線路3201は、パッド3200とトランジスタ3202のゲート端子との間に接続される。トランジスタ3202は、ゲート端子が伝送線路3201に接続され、ソース端子が接地ノード7に接続され、ドレイン端子が出力端子3203に接続される。つまり、高周波半導体集積回路320は、高周波半導体集積回路310の主回路301と同じように能動素子を含む回路である。

## 【0057】

ワイヤ330は、高周波半導体集積回路310の主回路301に含まれるパッド3013を高周波半導体集積回路320のパッド3200に接続する。

## 【0058】

図13の(a)を参照して、伝送線路3012は、配線3014から成る。配線3014は、長さ $L_3$ および幅 $W_3$ を有する。また、図13の(b)を参照して、伝送線路3201は、配線3204から成る。配線3204は、長さ $L_4$ および幅 $W_4$ を有する。したがって、高周波半導体集積回路310の主回路301は、高周波半導体集積回路320のインピーダンスと異なるインピーダンスを有する。

## 【0059】

図14を参照して、回路ブロック302は、配線3020から成る。配線3020は、長さ $L_5$ および幅 $W_5$ を有する。ワイヤ304の長さを $L_w$ 、入力信号の波長を $\lambda$ としたとき、 $\lambda/4 = L_w + L_5$ となり、かつ、主回路301のインピーダンスが高周波半導体集積回路320のインピーダンスに整合するように配線3020の長さ $L_5$ およびワイヤ304の長さ $L_w$ が決定される。この場合、配線3020の一方端3021において入力信号の振幅が零になり、ショートし

た状態になる。したがって、パッド3013から見たワイヤ304および回路ブロック302によるインピーダンスは零になる。そうすると、入力端子3010から入力された入力信号は、トランジスタ3011、および伝送線路3012を介してパッド3013に伝達され、パッド3013によってワイヤ304、330に伝達される。ワイヤ304および回路ブロック302によるインピーダンスが零であり、主回路301のインピーダンスは高周波半導体集積回路320のインピーダンスと整合が取れているため、入力信号は、損失することなくワイヤ330を介してパッド3200へ伝達される。そして、入力信号は、伝送線路3201およびトランジスタ3202を介して出力端子3203から出力される。

## 【0060】

上述したように、主回路301は、能動素子を含む回路であり、回路ブロック302は、受動素子から成る回路である。また、高周波半導体集積回路320は、主回路301と同じように能動素子を含む回路から成る。

## 【0061】

高周波半導体集積回路300においては、回路ブロック302は、主回路301のインピーダンスを高周波半導体集積回路320のインピーダンスに整合させる機能を果たす。また、パッド3013は、主回路301に回路ブロック302を接続させる機能と、高周波半導体集積回路310に高周波半導体集積回路320を接続させる機能とを果たす。このように、1つのパッドを用いて主回路に回路ブロックを接続するとともに、異なる半導体基板上に形成された集積回路を接続することによって高周波半導体集積回路300のチップサイズを小さくできる。

## 【0062】

また、ワイヤ330を切断することによって高周波半導体集積回路310と高周波半導体集積回路320とを別個独立に動作させることができる。さらに、高周波半導体集積回路310において、ワイヤ304を切断することによって高周波半導体集積回路300を、主回路301のみから成る高周波半導体集積回路として動作させることも可能である。

## 【0063】

実施の形態 3 によれば、高周波半導体集積回路は、2つの高周波半導体集積回路をワイヤで接続することによって作製され、一方の高周波半導体集積回路においてワイヤによって回路ブロックを主回路に接続するパッドを、2つの高周波半導体集積回路を接続するために併用するので、高周波半導体集積回路のチップサイズを小さくできる。

## 【0064】

## 〔実施の形態 4〕

図 1 5 を参照して、実施の形態 4 による高周波半導体集積回路 4 0 0 は、高周波半導体集積回路 4 1 0 と、高周波半導体集積回路 4 2 0 と、ワイヤ 4 3 0 とを備える。高周波半導体集積回路 4 1 0 は、入力端子 4 1 0 1 と、トランジスタ 4 1 0 2 と、伝送線路 4 1 0 3 と、パッド 4 1 0 4 とを含む。トランジスタ 4 1 0 2 は、ゲート端子が入力端子 4 1 0 1 に接続され、ソース端子が接地ノード 7 に接続され、ドレイン端子が伝送線路 4 1 0 3 に接続される。伝送線路 4 1 0 3 は、トランジスタ 4 1 0 2 のドレイン端子とパッド 4 1 0 4 との間に接続される。伝送線路 4 1 0 3 としては、たとえば、図 1 3 の (a) に示す配線 3 0 1 4 が用いられる。

## 【0065】

高周波半導体集積回路 4 2 0 は、回路ブロック 4 2 1 ~ 4 2 4 と、パッド 4 2 5 ~ 4 2 8 とを含む。パッド 4 2 5 ~ 4 2 8 は、それぞれ、回路ブロック 4 2 1 ~ 4 2 4 に対応して設けられる。

## 【0066】

ワイヤ 4 3 0 は、高周波半導体集積回路 4 1 0 のパッド 4 1 0 4 を、高周波半導体集積回路 4 2 0 のパッド 4 2 5 ~ 4 2 8 のいずれかに接続する。

## 【0067】

図 1 6 を参照して、回路ブロック 4 2 1 は、パッド 4 2 1 1 と、伝送線路 4 2 1 2 と、コイル 4 2 1 3 と、キャパシタ 4 2 1 4 とを含む。伝送線路 4 2 1 2 は、パッド 4 2 1 1 とパッド 4 2 5 との間に接続される。伝送線路 4 2 1 2 としては、所定の長さおよび所定の幅を有する配線が用いられる。コイル 4 2 1 3 とキャパシタ 4 2 1 4 は、ノード 4 2 1 5 と接地ノード 7 との間に並列に接続される。

。ワイヤ430がパッド425に接続されたとき、入力信号は、パッド425を介して回路ブロック421に伝送される。コイル4213とキャパシタ4214との並列回路は、高周波数の信号に対して零に近いインピーダンスとして作用するため、入力信号は、この並列回路によって殆ど損失せずに伝送線路4212を伝達してパッド4211から出力される。また、入力信号の周波数以外の周波数を有する信号は、この並列回路により損失されて伝送線路4212を伝達してパッド4211から出力される。

## 【0068】

図17を参照して、回路ブロック422は、パッド4221と、伝送線路4222と、キャパシタ4223とを含む。伝送線路4222は、パッド4221とパッド426との間に接続される。伝送線路4222は、所定の長さおよび所定の幅を有する配線から成る。キャパシタ4223は、ノード4224と接地ノード7との間に接続される。キャパシタ4223は、高周波数の信号に対してインピーダンスとして作用しないので、ノード4224、キャパシタ4223、および接地ノード7から成る回路は、ショートした回路になる。ワイヤ430がパッド426に接続されたとき、高周波半導体集積回路400は、高周波半導体集積回路200においてワイヤ40をパッド55に接続したのと同じ回路になる。したがって、パッド4221を出力端子として用いれば、高周波半導体集積回路400は、図10に示すインピーダンスを有する高周波半導体集積回路として機能する。

## 【0069】

図18を参照して、回路ブロック423は、パッド4231と、伝送線路4232と、キャパシタ4233とを含む。伝送線路4232は、パッド4231とパッド427との間に接続される。伝送線路4232は、所定の長さおよび所定の幅を有する配線から成る。キャパシタ4233は、ノード4234と接地ノード7との間に接続される。キャパシタ4233は、高周波数の信号に対してインピーダンスとして作用しないので、ノード4234、キャパシタ4233、および接地ノード7から成る回路は、ショートした回路になる。ワイヤ430がパッド427に接続されたとき、高周波半導体集積回路400は、高周波半導体集積

回路 2 0 0 においてワイヤ 4 0 をパッド 6 5 に接続したのと同じ回路になる。したがって、パッド 4 2 3 1 を出力端子として用いれば、高周波半導体集積回路 4 0 0 は、図 1 1 に示す A 点のインピーダンスを有する高周波半導体集積回路として機能する。

## 【 0 0 7 0 】

図 1 9 を参照して、回路ブロック 4 2 4 は、パッド 4 2 4 1 と、伝送線路 4 2 4 2 と、キャパシタ 4 2 4 3 とを含む。伝送線路 4 2 4 2 は、パッド 4 2 4 1 とパッド 4 2 8 との間に接続される。伝送線路 4 2 4 2 は、所定の長さおよび所定の幅を有する配線から成る。キャパシタ 4 2 4 3 は、ノード 4 2 4 4 と接地ノード 7 との間に接続される。キャパシタ 4 2 4 3 は、高周波数の信号に対してインピーダンスとして作用しないので、ノード 4 2 4 4、キャパシタ 4 2 4 3、および接地ノード 7 から成る回路は、ショートした回路になる。ワイヤ 4 3 0 がパッド 4 2 8 に接続されたとき、高周波半導体集積回路 4 0 0 は、高周波半導体集積回路 2 0 0 においてワイヤ 4 0 をパッド 7 5 に接続したのと同じ回路になる。したがって、パッド 4 2 4 1 を出力端子として用いれば、高周波半導体集積回路 4 0 0 は、図 1 1 に示す B 点のインピーダンスを有する高周波半導体集積回路として機能する。

## 【 0 0 7 1 】

再び、図 1 5 を参照して、ワイヤ 4 3 0 によってパッド 4 1 0 4 を高周波半導体集積回路 4 2 0 のパッド 4 2 5 ~ 4 2 8 のいずれかに接続することによって高周波半導体集積回路 4 0 0 を各種の性能を有する高周波半導体集積回路として機能させることができる。

## 【 0 0 7 2 】

高周波半導体集積回路 4 0 0 においては、高周波半導体集積回路 4 1 0 は、主回路のみから成り、高周波半導体集積回路 4 2 0 は、回路ブロックのみから成る。このように、主回路と回路ブロックとを別々の半導体基板上に作製することによって主回路が形成された半導体基板におけるチップ数を増加させることができる。

## 【 0 0 7 3 】

実施の形態 4 による高周波半導体集積回路は、図 2 0 に示す高周波半導体集積回路 5 0 0 であってもよい。高周波半導体集積回路 5 0 0 は、高周波半導体集積回路 4 1 0 と、ワイヤ 4 3 0 と、高周波半導体集積回路 4 4 0 とを備える。高周波半導体集積回路 4 1 0 については、上述したとおりである。

## 【 0 0 7 4 】

高周波半導体集積回路 4 4 0 は、回路ブロック 4 3 1 ~ 4 3 5 と、パッド 4 4 1 ~ 4 4 6 と、ワイヤ 4 5 1 ~ 4 5 3 とを備える。パッド 4 4 1 ~ 4 4 5 は、それぞれ、回路ブロック 4 3 1 ~ 4 3 5 に対応して設けられる。

## 【 0 0 7 5 】

回路ブロック 4 3 5 は、配線 4 3 5 1 と、パッド 4 3 5 2 ~ 4 3 5 5 とを含む。パッド 4 4 5, 4 4 6 は、回路ブロック 4 3 5 の配線 4 3 5 1 に接続される。ワイヤ 4 5 1 は、パッド 4 4 1 を回路ブロック 4 3 5 のパッド 4 3 5 2 に接続する。ワイヤ 4 5 2 は、パッド 4 4 3 を回路ブロック 4 3 5 のパッド 4 3 5 3 に接続する。ワイヤ 4 5 3 は、パッド 4 4 4 を回路ブロック 4 3 5 のパッド 4 3 5 5 に接続する。

## 【 0 0 7 6 】

ワイヤ 4 3 0 は、高周波半導体集積回路 4 1 0 のパッド 4 1 0 4 を高周波半導体集積回路 4 4 0 のパッド 4 4 5 に接続する。これによって、高周波半導体集積回路 4 1 0 の入力端子 4 1 0 1 から入力された入力信号は、トランジスタ 4 1 0 2、伝送線路 4 1 0 3、パッド 4 1 0 4、およびワイヤ 4 3 0 を介して高周波半導体集積回路 4 4 0 のパッド 4 4 5 に入力される。そして、入力信号は、回路ブロック 4 3 5 の配線 4 3 5 1 を伝搬してパッド 4 4 6 から出力される。

## 【 0 0 7 7 】

図 2 1 を参照して、高周波半導体集積回路 4 4 0 について詳細に説明する。回路ブロック 4 3 1 は、配線 4 3 1 0 と、ブロック 4 3 1 1 ~ 4 3 1 3 とを含む。配線 4 3 1 0 は、一方端がパッド 4 4 1 に接続されている。また、配線 4 3 1 0 は、長さ L 6 および幅 W 6 を有する金属から成る。ブロック 4 3 1 1 は、配線 4 3 1 0 の他方端から所定の距離だけ離れて配置される。ブロック 4 3 1 2 は、ブロック 4 3 1 1 から所定の距離だけ離れて配置される。ブロック 4 3 1 3 は、ブ

ロック 4 3 1 2 から所定の距離だけ離れて配置される。ブロック 4 3 1 1 ~ 4 3 1 3 は、配線 4 3 1 0 と同じ幅 W 6 を有し、配線 4 3 1 0 と同じ金属から成る。ブロック 4 3 1 1 は、ワイヤによって配線 4 3 1 0 に接続可能であり、ブロック 4 3 1 2 は、ワイヤによってブロック 4 3 1 1 に接続可能であり、ブロック 4 3 1 3 は、ワイヤによってブロック 4 3 1 2 に接続可能である。

## 【 0 0 7 8 】

配線 4 3 1 0 の長さ L 6 は、入力信号の波長を  $\lambda$  としたとき、 $\lambda / 4 = L 6$  になるように決定される。これによって、入力信号は、配線 4 3 1 0 の他方端 4 3 1 4 において振幅が最大（オープン）になり、回路ブロック 4 3 1 は、入力信号に対してショートした回路として作用する。ブロック 4 3 1 1 ~ 4 3 1 3 は、入力信号の周波数が変化した場合に、配線 4 3 1 0 がショートした回路として機能するように配線 4 3 1 0 の長さ L 6 を調整するために用いられる。

## 【 0 0 7 9 】

回路ブロック 4 3 3 は、配線 4 3 3 0 と、ブロック 4 3 3 1 ~ 4 3 3 3 とを含む。配線 4 3 3 0 は、一方端がパッド 4 4 3 に接続されている。また、配線 4 3 3 0 は、長さ L 7 および幅 W 7 を有する金属から成る。ブロック 4 3 3 1 は、配線 4 3 3 0 の他方端から所定の距離だけ離れて配置される。ブロック 4 3 3 2 は、ブロック 4 3 3 1 から所定の距離だけ離れて配置される。ブロック 4 3 3 3 は、ブロック 4 3 3 2 から所定の距離だけ離れて配置される。ブロック 4 3 3 1 ~ 4 3 3 3 は、配線 4 3 3 0 と同じ幅 W 7 を有し、配線 4 3 3 0 と同じ金属から成る。ブロック 4 3 3 1 は、ワイヤによって配線 4 3 3 0 に接続可能であり、ブロック 4 3 3 2 は、ワイヤによってブロック 4 3 3 1 に接続可能であり、ブロック 4 3 3 3 は、ワイヤによってブロック 4 3 3 2 に接続可能である。

## 【 0 0 8 0 】

配線 4 3 3 0 の長さ L 7 は、入力信号の波長を  $\lambda$  としたとき、 $\lambda / 4 = L 7$  になるように決定される。これによって、入力信号は、配線 4 3 3 0 の他方端 4 3 3 4 において振幅が最大（オープン）になり、回路ブロック 4 3 3 は、入力信号に対してショートした回路として作用する。ブロック 4 3 3 1 ~ 4 3 3 3 は、入力信号の周波数が変化した場合に、配線 4 3 3 0 がショートした回路として機能



するように配線 4 3 3 0 の長さ L 7 を調整するために用いられる。

【 0 0 8 1 】

回路ブロック 4 3 2 は、配線 4 3 2 1 と、ブロック 4 3 2 2 と、ワイヤ 4 3 2 3 とを含む。配線 4 3 2 1 は、一方端がパッド 4 4 2 に接続される。ブロック 4 3 2 2 は、配線 4 3 2 1 の他方端から所定の距離だけ離れて配置され、ワイヤ 4 3 2 3 によって配線 4 3 2 1 に接続可能である。配線 4 3 2 1 の長さは、他方端での信号の振幅が零になるように決定される。つまり、回路ブロック 4 3 2 は、入力信号に対してショートした回路として作用する。

【 0 0 8 2 】

回路ブロック 4 3 4 は、配線 4 3 4 1, 4 3 4 2 と、ブロック 4 3 4 3 と、ワイヤ 4 3 4 4, 4 3 4 5 とを含む。配線 4 3 4 1 の一方端はパッド 4 4 4 に接続される。配線 4 3 4 2 の一方端は、配線 4 3 4 1 の他方端から所定の距離だけ離れて配置される。配線 4 3 4 2 は、ワイヤ 4 3 4 4 によって配線 4 3 4 1 に接続される。ブロック 4 3 4 3 は、配線 4 3 4 2 の他方端から所定の距離だけ離れて配置され、ワイヤ 4 3 4 5 によって配線 4 3 4 2 に接続される。回路ブロック 4 3 4 は、入力信号に対してコイルとキャパシタとが直列に接続された回路として作用する。

【 0 0 8 3 】

再び、図 2 0 を参照して、高周波半導体集積回路 4 1 0 は、入力端子 4 1 0 1 から入力信号が入力されると、トランジスタ 4 1 0 2、伝送線路 4 1 0 3、およびパッド 4 1 0 4 を介して入力信号を伝搬させ、ワイヤ 4 3 0 を介して高周波半導体集積回路 4 4 0 へ入力信号を出力する。そして、高周波半導体集積回路 4 4 0 は、パッド 4 4 5 から入力された入力信号を回路ブロック 4 3 5 の配線 4 3 5 1 を介して伝搬させ、パッド 4 4 6 から出力する。この場合、回路ブロック 4 3 1, 4 3 3 は、入力信号に対してショートした回路として作用するため、入力信号は、配線 4 3 5 1 および回路ブロック 4 3 4 によって決定されるインピーダンスを受けてパッド 4 4 6 から出力される。この場合、入力信号が回路ブロック 4 3 1, 4 3 3 から受ける損失は少ない。

【 0 0 8 4 】

高周波半導体集積回路 4 4 0 においては、ワイヤによってパッド 4 4 2 を回路ブロック 4 3 5 のパッド 4 3 5 4 に接続することによって入力信号の伝搬特性を変化させることができる。

【 0 0 8 5 】

実施の形態 4 によれば、高周波半導体集積回路は、主回路のみから成る高周波半導体集積回路を、ワイヤによって回路ブロックのみから成る高周波半導体集積回路に接続することによって作製されるので、主回路が形成された半導体基板におけるチップ数を増加させることができる。

【 0 0 8 6 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図 1】 実施の形態 1 による高周波半導体集積回路の回路図である。

【図 2】 図 1 に示す伝送線路の平面図である。

【図 3】 図 1 に示す回路ブロックに含まれる受動回路を構成する配線の平面図である。

【図 4】 図 1 に示す回路ブロックに含まれる受動回路の他の例を示す平面図である。

【図 5】 実施の形態 2 による高周波半導体集積回路のブロック図および回路図である。

【図 6】 図 5 に示す回路ブロックの回路図である。

【図 7】 図 5 に示す他の回路ブロックの回路図である。

【図 8】 図 5 に示すさらに他の回路ブロックの回路図である。

【図 9】 スミスチャートである。

【図 1 0】 等出力円を示すスミスチャートである。

【図 1 1】 等効率円を示すスミスチャートである。

【図 1 2】 実施の形態 3 による高周波半導体集積回路のブロック図および

回路図である。

【図 1 3】 図 1 2 に示す伝送線路の平面図である。

【図 1 4】 図 1 2 に示す回路ブロックの例を示す平面図である。

【図 1 5】 実施の形態 4 による高周波半導体集積回路のブロック図および回路図である。

【図 1 6】 図 1 5 に示す回路ブロックの回路図である。

【図 1 7】 図 1 5 に示す他の回路ブロックの回路図である。

【図 1 8】 図 1 5 に示すさらに他の回路ブロックの回路図である。

【図 1 9】 図 1 5 に示すさらに他の回路ブロックの回路図である。

【図 2 0】 実施の形態 4 による高周波半導体集積回路の他のブロック図および回路図である。

【図 2 1】 図 2 0 に示す 2 つの高周波半導体集積回路のうちの一方の高周波半導体集積回路の具体例を示す平面図である。

【図 2 2】 従来の高周波半導体集積回路の回路図である。

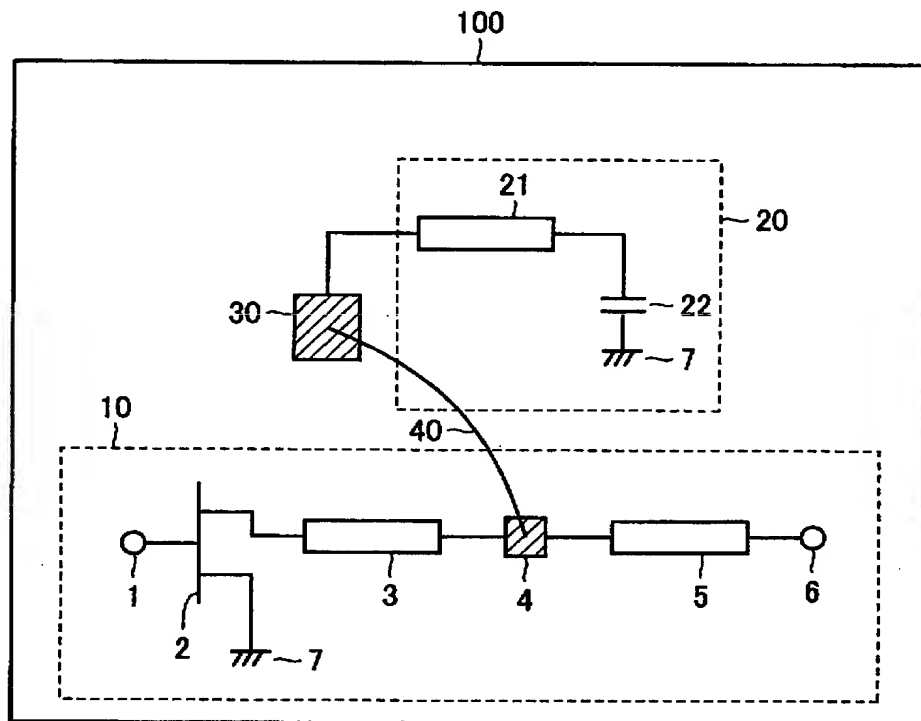
# 【符号の説明】

1, 3 0 1 0, 4 1 0 1, 6 1 0 1 入力端子、2, 3 0 1 1, 3 2 0 2, 4 1 0 2, 6 1 0 2 トランジスタ、3, 5, 3 0 1 2, 3 2 0 1, 4 1 0 3, 4 2 1 2, 4 2 2 2, 4 2 3 2, 4 2 4 2, 6 1 0 3, 6 1 0 4 伝送線路、4, 3 0, 5 5, 6 5, 7 5, 3 0 3, 4 2 5 ~ 4 2 8, 4 4 1 ~ 4 4 6, 3 0 1 3, 3 2 0 0, 4 1 0 4, 4 2 1 1, 4 2 2 1, 4 2 3 1, 4 2 4 1, 4 3 5 2 ~ 4 3 5 5 パッド、6, 3 2 0 3, 6 2 0 5 出力端子、7 接地ノード、1 0, 3 0 1, 6 1 0 主回路、2 0, 5 0, 6 0, 7 0, 3 0 2, 4 2 1 ~ 4 2 4, 4 3 1 ~ 4 3 5, 6 2 0 回路ブロック、2 1, 6 2 0 1, 6 2 0 2 受動回路、2 2, 5 1, 6 1, 7 1, 2 1 1, 4 2 1 4, 4 2 2 3, 4 2 3 3, 4 2 4 3, 6 2 0 3 キャパシタ、3 1, 2 2 0, 3 0 1 4, 3 0 2 0, 3 2 0 4, 4 3 1 0, 4 3 2 1, 4 3 3 0, 4 3 4 1, 4 3 4 2, 4 3 5 1 配線、4 0, 3 0 4, 3 3 0, 4 3 0, 4 5 1 ~ 4 5 3, 4 3 2 3, 4 3 4 4, 4 3 4 5 ワイヤ、1 0 0, 2 0 0, 3 0 0, 3 1 0, 3 2 0, 4 0 0, 4 1 0, 4 2 0, 4 4 0, 5 0 0, 6 0 0 高周波半導体集積回路、2 1 0, 4 2 1 3 コイル、2 2

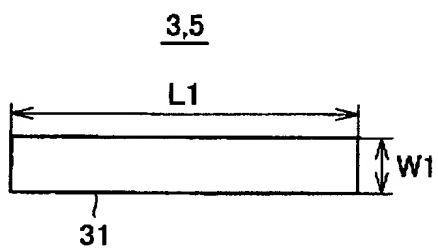
1, 4314, 4334 端、4215, 4224, 4234, 4244, 61  
06 ノード、4311~4313, 4322, 4331~4333, 4343  
ブロック。

【書類名】 図面

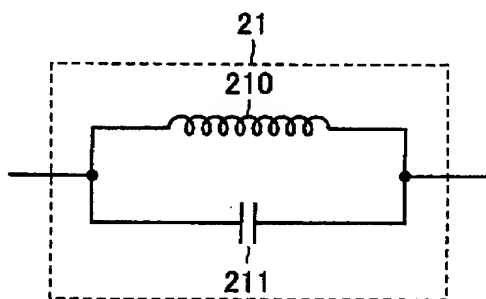
【図 1】



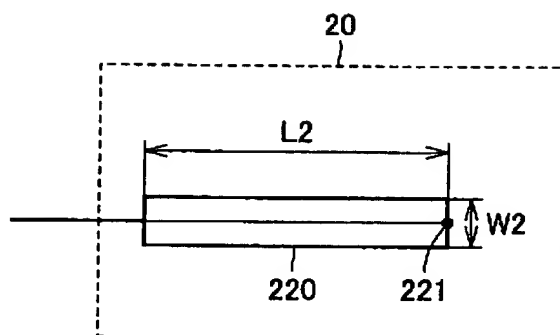
【図 2】



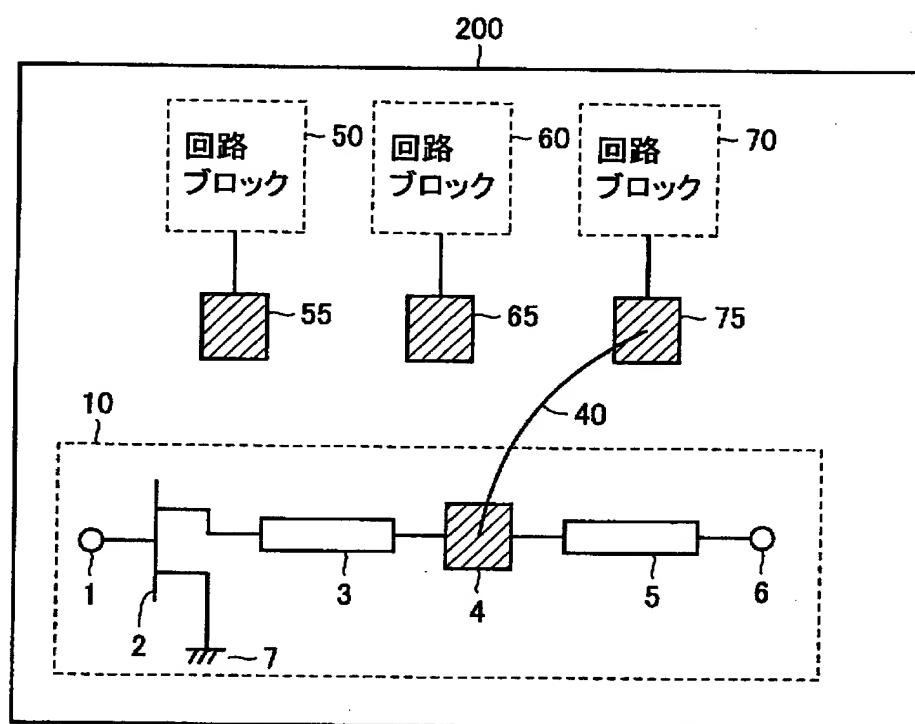
【図 3】



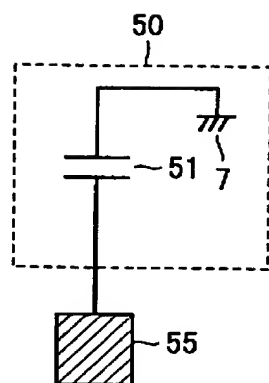
【図 4】



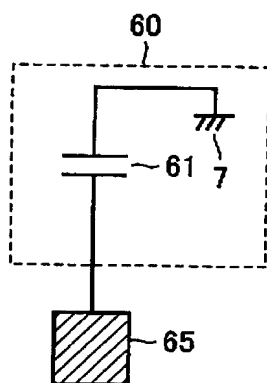
【図 5】



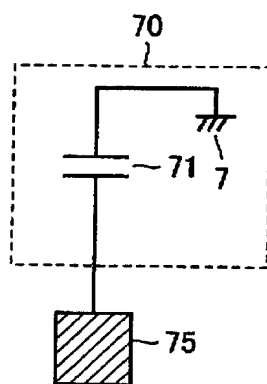
【図 6】



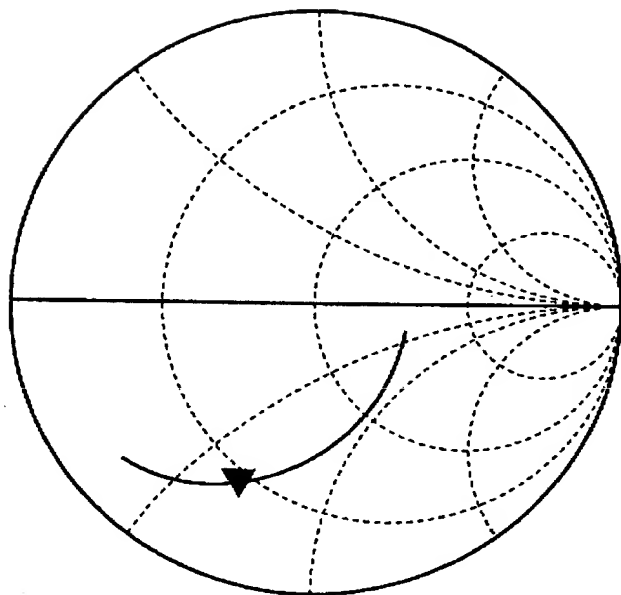
【図 7】



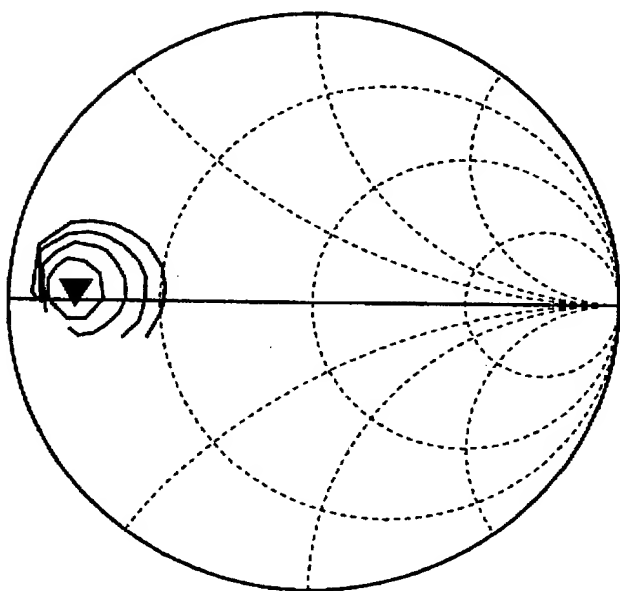
【図 8】



【図 9】

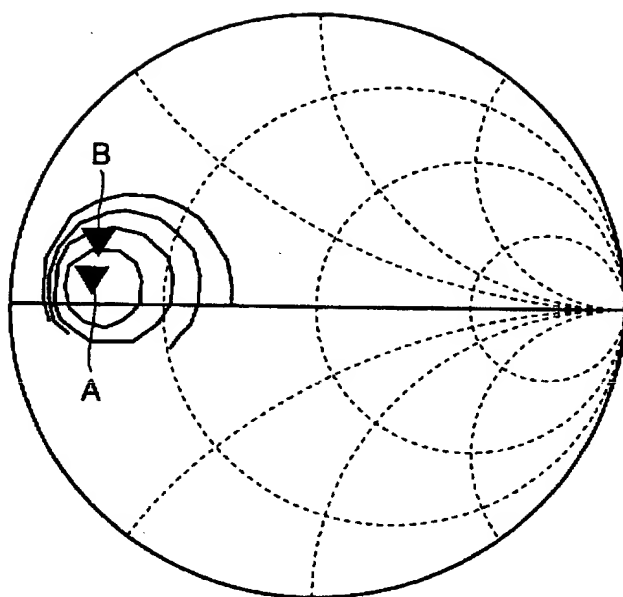


【図 1 0】

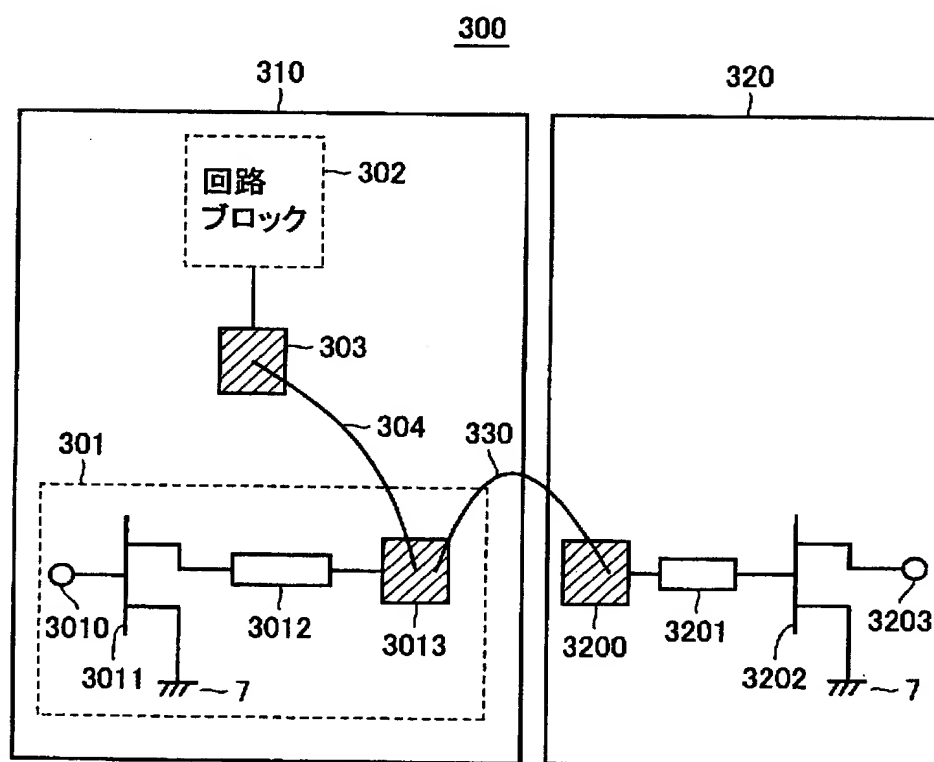




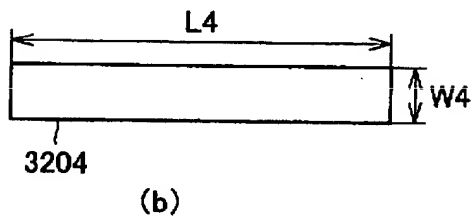
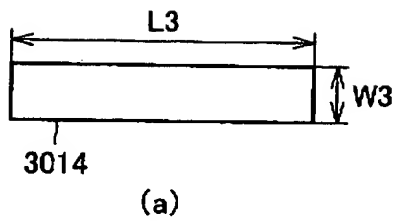
【図 1 1】



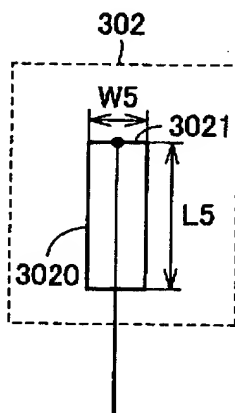
【図 1 2】



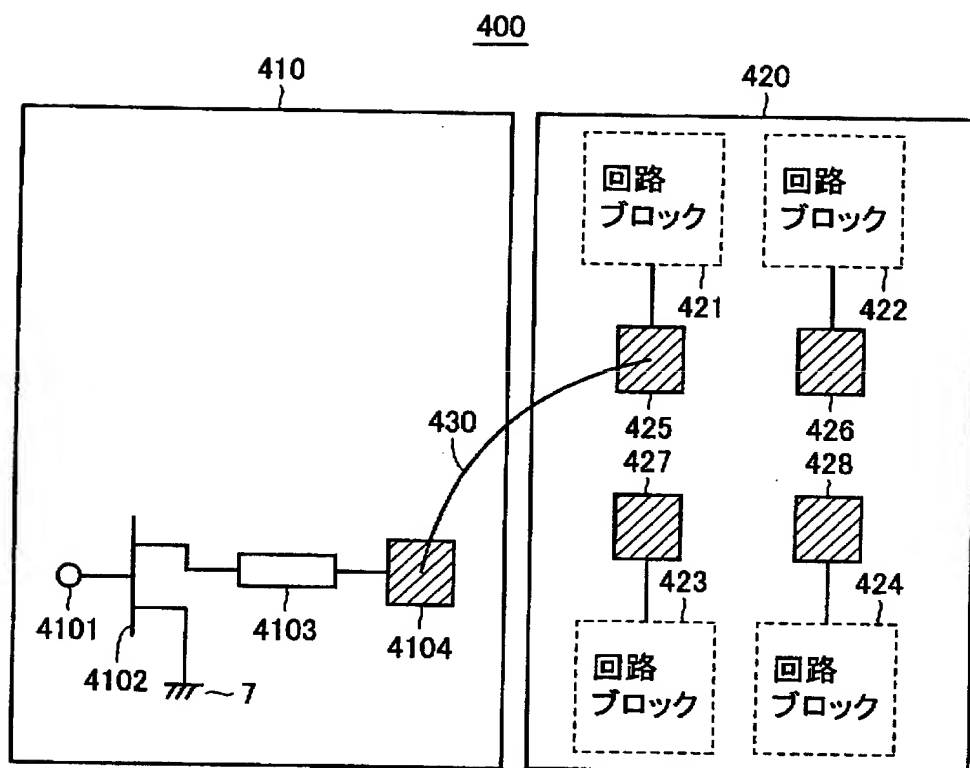
【図 1 3】



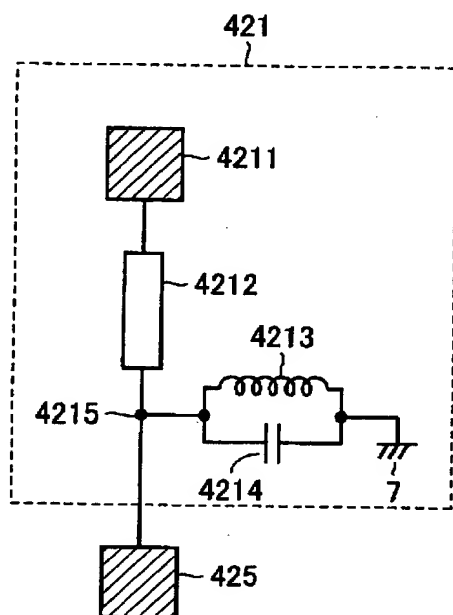
【図 1 4】



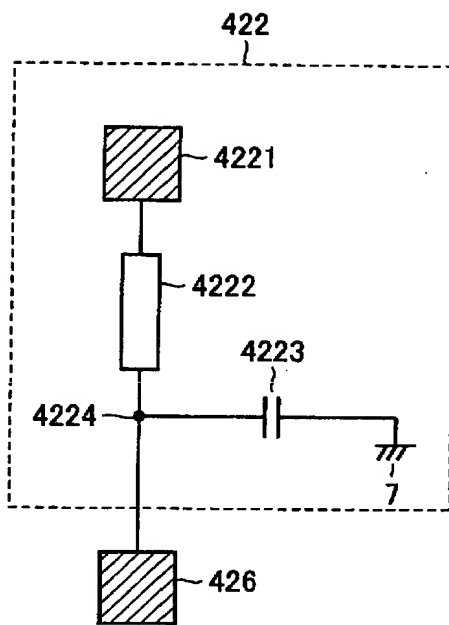
【図 15】



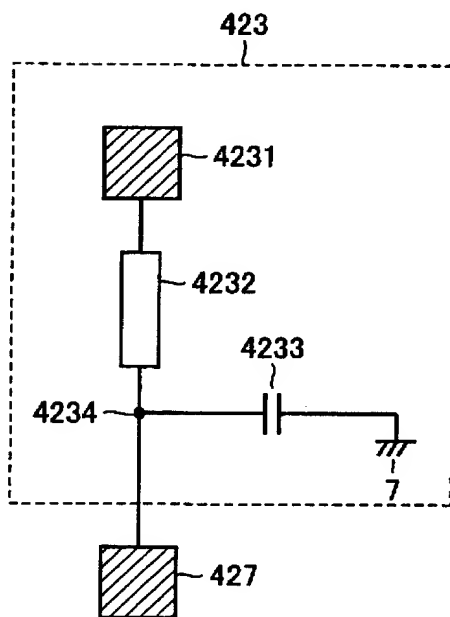
【図 16】



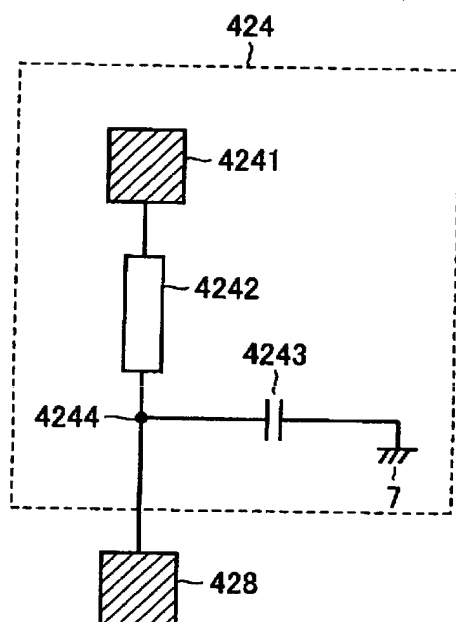
【図 1 7】



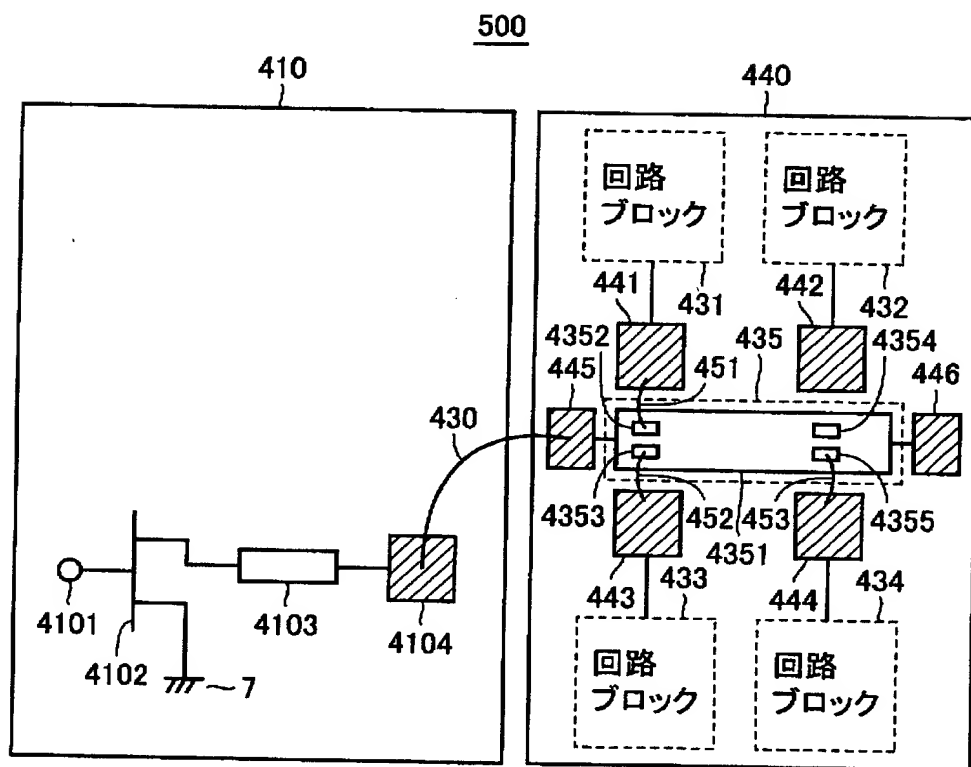
【図 1 8】



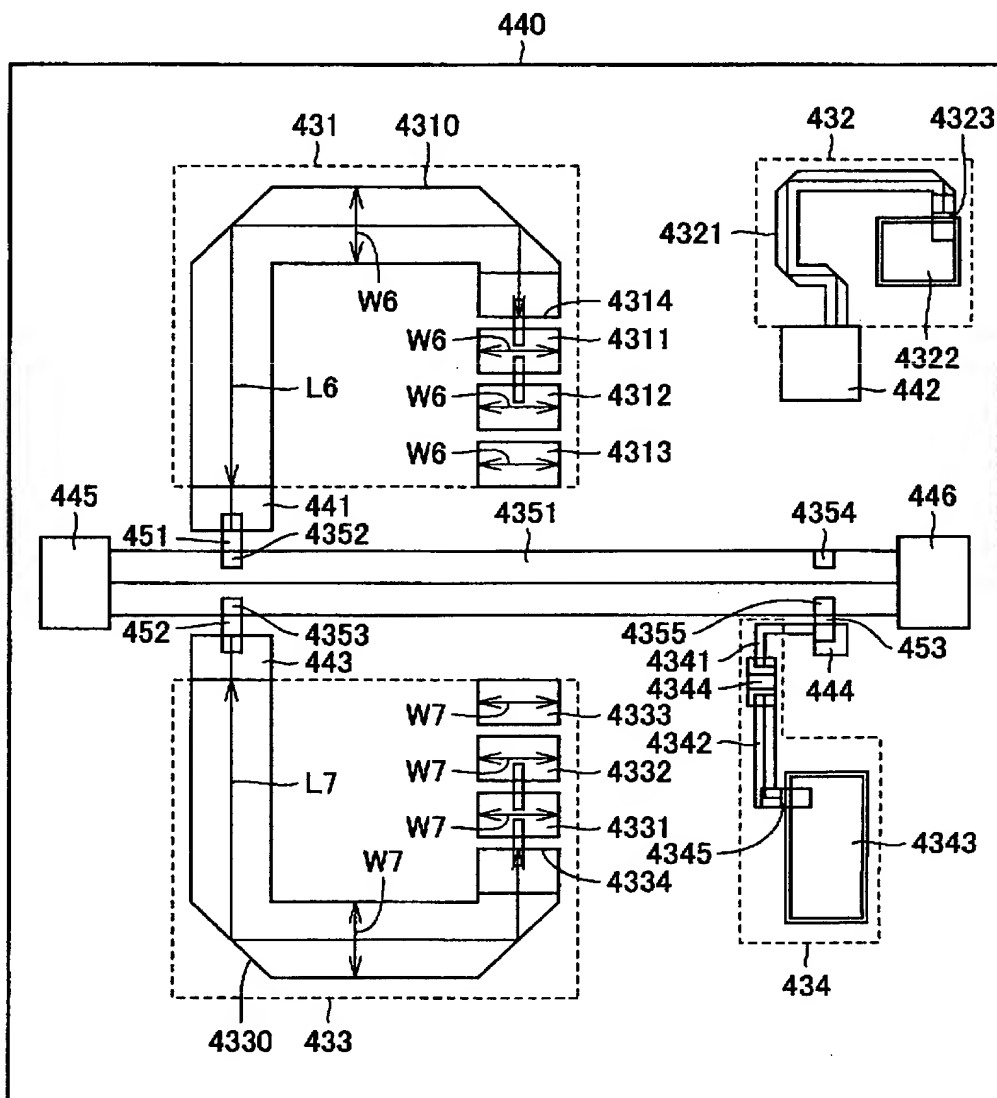
【図 19】



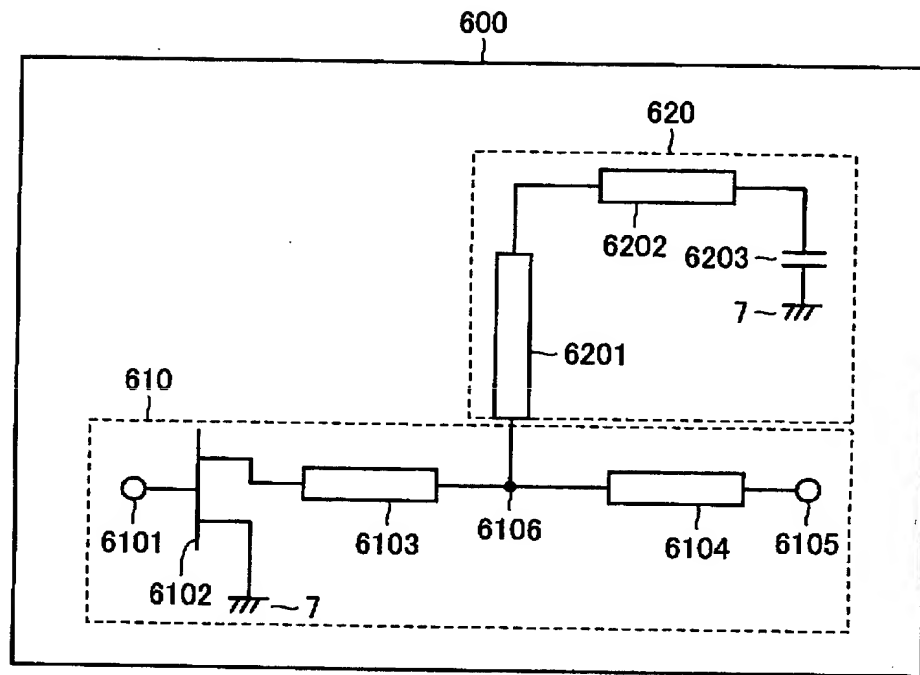
【図 20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 各種の性能、および用途を実現可能な高周波半導体集積回路を提供する。

【解決手段】 高周波半導体集積回路 1 0 0 は、主回路 1 0 と、回路ブロック 2 0 と、パッド 3 0 と、ワイヤ 4 0 とを備える。主回路 1 0 は、入力端子 1 と、トランジスタ 2 と、伝送線路 3、5 と、パッド 4 と、出力端子 6 とを含む。回路ブロック 2 0 は、受動回路 2 1 と、キャパシタ 2 2 とを含む。パッド 3 0 は、回路ブロック 2 0 の近くに配置される。ワイヤ 4 0 は、パッド 3 0 を主回路 1 0 に含まれるパッド 4 に接続する。高周波半導体集積回路 1 0 0 においては、主回路 1 0 は、入力端子 1 から入力された入力信号をトランジスタ 2、伝送線路 3、パッド 4、および伝送線路 5 を介して出力端子 6 から出力する。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社